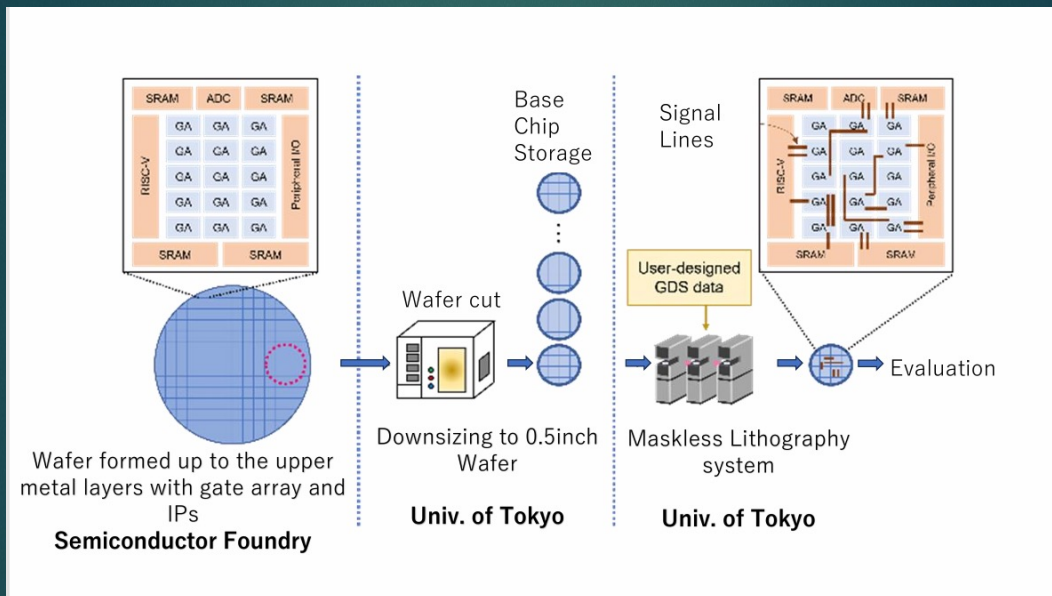


APCCAS2026 Agile-X Chip Design Contest

Agile-Chip is a method for developing chips quickly and at low cost, currently under development at the X-NICS Center for Innovative Semiconductor Technology Democratization.



As shown in the figure, RISC-V, SRAM, I/O, and the gates of the gate array are implemented using up to the fourth metal layer of a 0.18 μm 1P6M process, and these are cut out in the form of a 0.5-inch wafer.

By forming the wiring on this wafer using Minimal Fab, an SoC can be constructed in approximately 30 minutes.

The APCCAS 2026 Agile-X Chip Design Contest uses this design environment to build original analog and digital SoCs, and participants will compete based on the originality of their ideas and the quality of their designs.

Participants must have access to a design environment provided by VDEC or similar organizations, including Cadence Virtuoso, Cadence Innovus, and Siemens Calibre. After registration, the PDK, design flow, and instructional videos will be distributed. Participants are expected to study these materials, complete their designs by the deadline, and submit the GDS file together with a one-page abstract, in the same format as the APCCAS 2026 Demo Session.

Entries selected as outstanding through the review process will actually be fabricated using Minimal Fab, packaged, demonstrated at APCCAS, and awarded prizes. Participants will be able to observe the fabrication process at Minimal Fab, and the fabricated chips will be provided free of charge.

For details, please visit our website: <https://www.agile-x.t.u-tokyo.ac.jp/en/>

Schedule

June 1: Application deadline; distribution of the PDK and design flow

https://docs.google.com/forms/d/e/1FAIpQLSfUSQSaGKK59TdkZDSf8Pykt4GCB4hnbDMYhAaqHd_T9uFG3w/viewform?usp=publish-editor

July 1: Submission of GDS files and abstract papers

July 31: Notification of selected outstanding designs

August: Chip fabrication and bonding

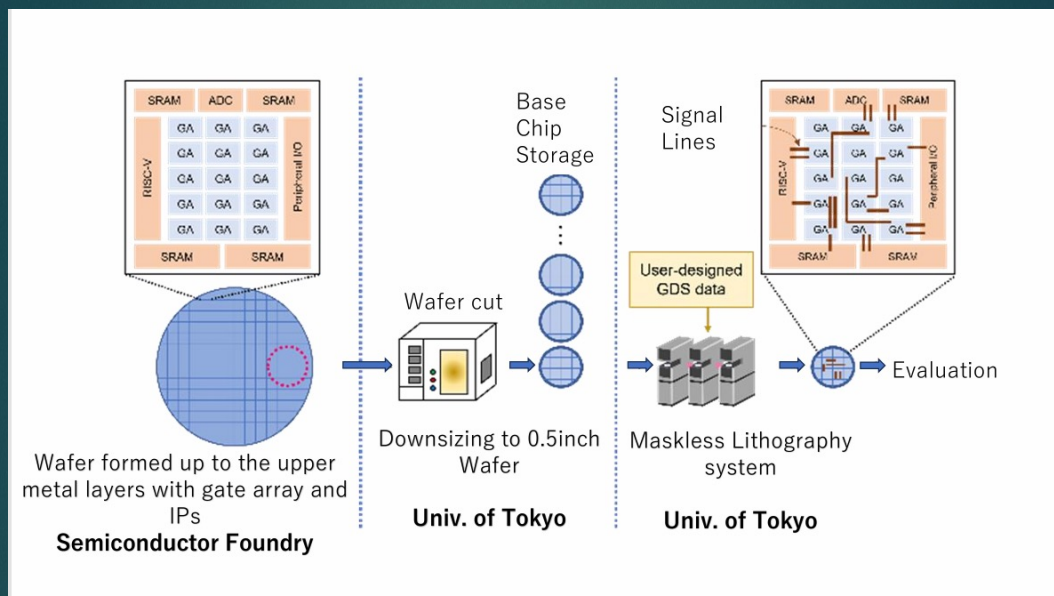
September: Distribution of the demonstration environment

October 25–28: Demonstrations and award ceremony at APCCAS

Questions: hunga-at-dlab.t.u-Tokyo.ac.jp

APCCAS2026 Agile-X Chip Design Contest

Agile-Chipは「X-nics革新的半導体技術の民主化拠点」で開発中の短期間、低コストでチップを開発する手法です。



図のように、0.18 μ m 1P6Mプロセスの4層までを用いてRISC-V、SRAM、I/O、Gate ArrayのGateを構成し、これらを0.5インチWaferの形で切り抜きます。このWafer上の配線をMinimal Fabで形成することで、約30分でSoCを構成することができます。

APCCAS2026 Agile-X Chip Design Contestは、この設計環境を用いて、オリジナルのアイデアで、アナログ、デジタルSoCを構築して、そのアイデアと設計の質を競います。参加者はVDECなどで提供される設計環境（Cadence Virtuoso, Innovus, Siemens Calibre）が利用可能でなければなりません。

参加登録後、PDKと設計フロー、動画が配布されますので、これを見て、期限までに設計を終わらせ、GDSとAPCCAS2026デモセッションと同じく1枚のAbstractを提出していただきます。審査により優秀作品に選ばれた場合、実際にMinimal Fabでチップが製造され、パッケージされてAPCCASでデモンストレーションを行っていただき、表彰されます。

Minimal Fabでの製造は見学可能で、チップは無料で贈呈します。詳細はHP (<https://www.agile-x.t.u-tokyo.ac.jp/en/>) をご覧ください。

スケジュール

6月1日 申し込み締め切り、PDK、設計フロー配布

https://docs.google.com/forms/d/e/1FAIpQLSfUSQSaGKK59TdkZDSf8Pykt4GCB4hhdDMYhAaqHd_T9uFG3w/viewform?usp=publish-editor

7月1日 GDS、Abstract Paper提出

7月31日 優秀作品通知

8月 チップ製造、ボンディング

9月 デモ環境配布

10月25-28 APCCASでデモンストレーション、表彰

Questions: hunga-at-dlab.t.u-Tokyo.ac.jp